

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

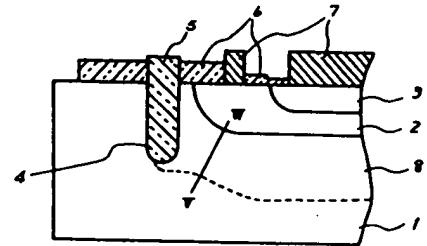
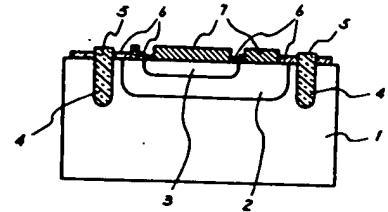
56 E 98

(54) SEMICONDUCTOR DEVICE

(11) 56-158474 (A) (43) 7.12.1981 (19) JP
(21) Appl. No. 55-62451 (22) 12.5.1980
(71) NIPPON DENKI K.K. (72) AKIO OOTSUKA
(51) Int. Cl. H01L29/06, H01L21/31, H01L29/72

PURPOSE: To easily expand the depletion layer and to obtain a high withstand voltage for the planar type transistor used on subject semiconductor device by a method wherein the annular groove, protected by an insulating layer from the surface of a substrate, is provided in the collector region located around the connected section of a base collector.

CONSTITUTION: The NPN (PNP) transistor of a planar type is formed by providing a P(N) type base layer 2 and an N(P) type emitter layer 3 on an N(or P) type substrate 1. Within the expanding range of the depletion layer 8 located outside the connected surface of the base collector, the annular groove 4 surrounding the junction part is provided and a construction is formed in such manner that the insulating layer 5 is protected by having it buried in the groove 4. Through these procedures, the depletion layer 8 of the collector can be spread out over the groove section 4, and said spreading section of the layer 8 is not terminated on the surface adjacent to the connected surface, the breakdown voltage close to the bulk can be obtained and the transistor of high withstand voltage can be obtained.



251/496, 522, 526

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56-158474

⑬ Int. Cl.³

H 01 L 29/06
21/31
29/72

識別記号

庁内整理番号

7514-5F
7739-5F
7514-5F

⑭ 公開 昭和56年(1981)12月7日

発明の数 1
審査請求 未請求

(全 3 頁)

⑮ 半導体装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭55-62451

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭55(1980)5月12日

東京都港区芝五丁目33番1号

⑲ 発 明 者 大塚章夫

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

一導電型の半導体領域内に異なる導電型の半導体領域を形成し、この異なる導電型の半導体領域と前記一導電型の半導体領域との接合部から前記一導電型の半導体領域に向かって延びる空間電荷層と前記一導電型の半導体領域の一主面とが接する部分に溝部を形成したことを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は、半導体装置とくに高耐圧トランジスタの構造に関するものである。

高耐圧用トランジスタとしては従来正ベベルのメサ構造が一般に使用されているが、メサ部分の保護、例えばメサ部を絶縁膜で覆い外部雰囲気か

ら保護する場合等極めて困難な作業性を必要とする。これに対してプレーナ構造ではその様な困難な作業性を必要としないので、製法上メサ構造に比べて有利であるが、高耐圧の素子が得られないという欠点があった。従来、プレーナ構造のトランジスタ、ダイオード等で高耐圧を得るため工夫はなされているものの、未だ完全とはいえない。

本発明の目的は高耐圧のプレーナ構造の半導体装置を提供することにある。

本発明の半導体装置はコレクタ領域内にベース領域が形成され、ベース領域内にエミッタ領域が形成され、コレクターベース間及びベースエミッタ間にはP-N接合部を有し、かつコレクターベースの接合部を取り囲むようにベース領域よりも深い溝部をコレクタ領域に形成することを特徴とする。

以下、本発明の一実施例を図面によって説明する。

第1図及び第2図は本実施例の半導体装置、特にプレーナ型トランジスタの平面図及び断面図を

示すもので、第1導電型(P型又はN型)のコレクタ領域1と、第2導電型(N型又はP型)のベース領域2と、第1導電型(P型又はN型)のエミッタ領域3と、前記ベース領域2の周囲を囲むベース領域2よりも深い環状の溝部分4と、その溝部分を保護する絶縁層5とコレクタベース接合及びベースエミッタ接合を保護する基板表面の絶縁層6と、金属電極層7とから成るものである。

かかる構造のプレーナ型トランジスタによればベース領域の囲りに環状の溝部分を有しているため、コレクタ・ベース間に逆バイアスを印加した場合、ベース・コレクタ接合部からコレクタ側へ延びる空間電荷層8の広がりには第3図の断面図に示すようになる。即ち、従来のプレーナ構造では、第4図に示すように、コレクタベース接合に逆バイアスを印加した場合、コレクタベース接合がわん曲している部分(基板表面に近い部分I-II)では空乏層の広がりが小さく、エミッタ直下のバルク部分(III-IV)に比べ低い電圧で電界強度の限界を越えてしまう為、III-IV部でなだれ降伏を起

す前にI-II部で同降伏を起してしまい、コレクタベース接合の降伏電圧が低くなっていた。これに対し第3図における本実施例では、コレクタベース接合部からコレクタ側へ延びる空乏層の限界より内側に環状の溝4を形成することにより、逆バイアス印加時の空間電荷層は溝4の底部を越えて広がり、コレクタベース接合のわん曲している部分(第4図のI-IIに相当する部分)の電界強度がおさえられ、よりバルクに近いV-VI部分においてなだれ降伏を起す降伏電圧が決定されることになる。従って本実施例では、従来のプレーナ構造に比べてより高い降伏電圧を得ることができ装置の耐圧を高めることができる。

更に本実施例によればP-N接合部が完全に絶縁膜で覆われているため装置全体を樹脂封止パッケージに納めることができ、安価で高信頼度のトランジスタを提供することが可能となる。

以上の実施例においてはプレーナ型トランジスタに適用した例を説明したが、ダイオード等高耐圧が要求されるPN接合半導体装置にも適用でき、

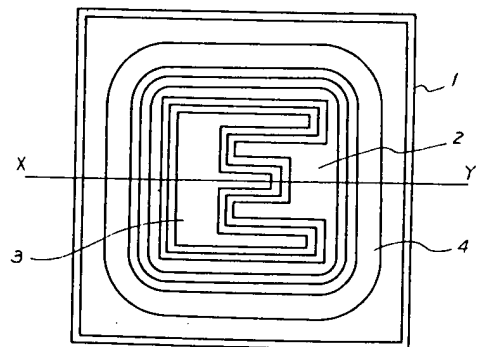
ることは明らかであり、かつ同様な効果が得られることも明らかである。

4. 図面の簡単な説明

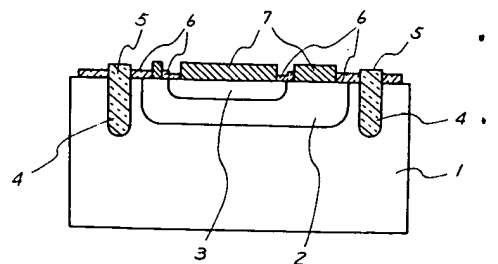
第1図は本発明の一実施例を示すプレーナ型トランジスタの平面図、第2図は第1図のX-Y部分の断面図、第3図は、本実施例のトランジスタのベース・コレクタ間に逆バイアスを印加したときの空間電荷層の広がりを示す断面図、第4図は従来のトランジスタのベース・コレクタ間に逆バイアスを印加した時の空間電荷層の広がりを示す断面図である。

1、1'...コレクタ領域 2、2'...ベース領域
3、3'...エミッタ領域 4...溝部分 5...溝部分の絶縁層 6、6'...接合部の絶縁層 7、7'...金属電極 8、8'...コレクタ側への空間電荷層

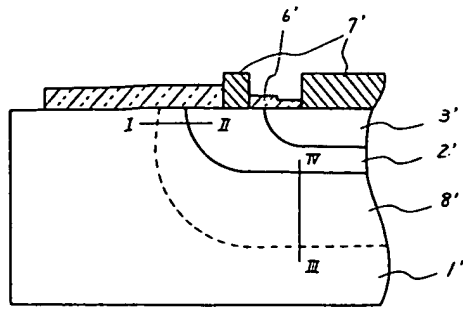
代理人 井理士 内 原 晋



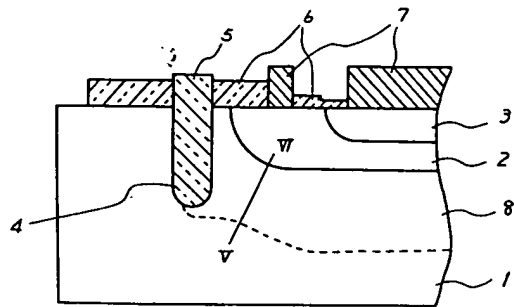
第 1 図



第 2 図



第 4 図



第 3 図

THIS PAGE BLANK (USPTO)